

(19)



JAPANESE PATENT OFFICE

PATENT ABSTRACTS OF JAPAN

(11) Publication number: 2002016119 A

(43) Date of publication of application: 18.01.02

(51) Int. Cl

H01L 21/66
B08B 3/04
B08B 3/08
C11D 7/08
C11D 7/10
C11D 7/18
C11D 7/26
C11D 7/50
C11D 17/08
H01L 21/3065
H01L 21/304

(21) Application number: 2000200062

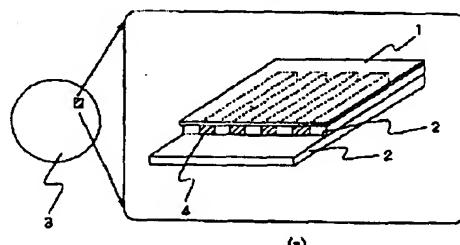
(22) Date of filing: 28.06.00

(71) Applicant: HITACHI LTD

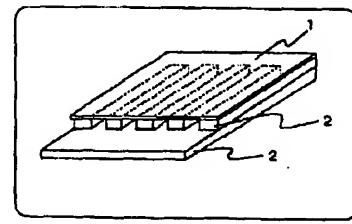
(72) Inventor: OTA KATSUHIRO
TAKAHARA YOICHI
HARA KOJI
AKIMORI HIROKO
TOMIOKA HIDEKI
ITO MASAKI
TSUGANE MASARU

(54) MANUFACTURING METHOD OF
SEMICONDUCTOR DEVICE AND
SEMICONDUCTOR CLEANING EVALUATION
METHOD

FIG. 1



(a)



(b)

(57) Abstract:

PROBLEM TO BE SOLVED: To provide an evaluation method for effectively cleaning and drying a semiconductor wafer having a complicated surface shape with hard projecting and recessed parts, and to manufacture a semiconductor with high quality and high yield.

SOLUTION: Cleaning and drying are evaluated by using a semiconductor substrate incorporating simulated substrates 2 where fine grooves are formed for detecting the invasion optimum condition of cleaning liquid into high aspect ratio structure formed on the surface of the semiconductor wafer 3 such as a trench hole.

COPYRIGHT: (C)2002,JPO

(19) 日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2002-16119

(P 2 0 0 2 - 1 6 1 1 9 A)

(43) 公開日 平成14年1月18日 (2002.1.18)

(51) Int. Cl. 7

H01L 21/66
B08B 3/04
3/08
C11D 7/08
7/10

識別記号

F I

H01L 21/66
B08B 3/04
3/08
C11D 7/08
7/10

テマコト (参考)

Z 3B201
Z 4H003
A 4M106
5F004

審査請求 未請求 請求項の数20 O L (全7頁) 最終頁に続く

(21) 出願番号 特願2000-200062 (P 2000-200062)

(71) 出願人 000005108

株式会社日立製作所

東京都千代田区神田駿河台四丁目6番地

(22) 出願日 平成12年6月28日 (2000.6.28)

(72) 発明者 太田 勝啓

神奈川県横浜市戸塚区吉田町292番地 株

式会社日立製作所生産技術研究所内

(72) 発明者 高原 洋一

神奈川県横浜市戸塚区吉田町292番地 株

式会社日立製作所生産技術研究所内

(74) 代理人 100075096

弁理士 作田 康夫

最終頁に続く

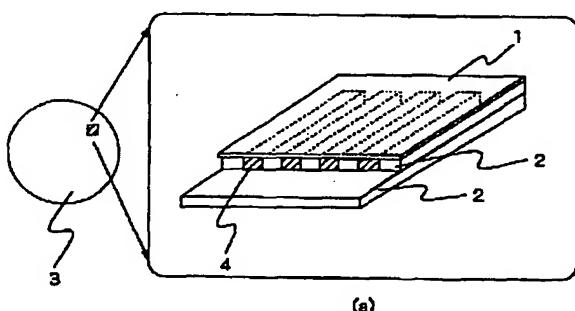
(54) 【発明の名称】半導体装置製造方法及び半導体洗浄評価方法

(57) 【要約】 (修正有)

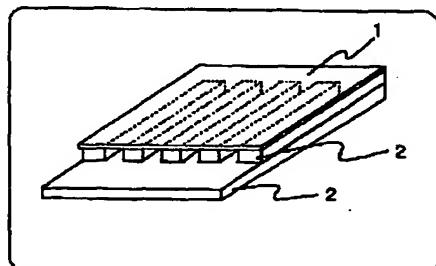
【課題】 凹凸の激しい複雑な表面形状を有する半導体ウエハの洗浄及び乾燥を効果的に行うことのできる評価方法を提供する。したがって、半導体を高品質、高歩留まりで製造することができる。

【解決手段】 半導体ウエハ3の表面に形成された、トレンチ孔のような高アスペクト比構造の内部への洗浄液の浸入最適条件を見出すため、微細な溝を形成した模擬基板2を組み込んだ半導体基板を用いて洗浄及び乾燥評価を行う。

図 1



(a)



(b)

【特許請求の範囲】

【請求項1】 半導体基板に薄膜形成した模擬基板を組込んだ前記半導体基板の洗浄を行うことを特徴とする半導体洗浄方法。

【請求項2】 半導体基板に薄膜形成した模擬基板を組込んだ前記半導体基板の洗浄を行った後、前記模擬基板内への液体の浸入の観察を行うことを特徴とする請求項1記載の半導体洗浄方法。

【請求項3】 前記薄膜は窒化膜であることを特徴とする請求項1～2記載の半導体洗浄方法。

【請求項4】 前記薄膜はSi₃N₄膜であることを特徴とする請求項1～3記載の半導体洗浄方法。

【請求項5】 前記薄膜はTiN膜であることを特徴とする請求項1～4記載の半導体洗浄方法。

【請求項6】 上記液体が水または薬液である請求項1～5記載の半導体洗浄方法。

【請求項7】 上記液体が洗浄液または表面処理液等である請求項1～6記載の半導体洗浄方法。

【請求項8】 上記液体が、1) フッ化水素酸(フッ酸)、塩酸、硫酸、硝酸、酢酸、有機酸等のいずれか1種類以上を含む酸性溶液及び2) それら1種類以上の酸性溶液と過酸化水素水、フッ化アンモニウム等を含む酸性溶液、または3) アンモニア水、アミン等のいずれか1種類以上を含むアルカリ性溶液及び4) それら1種類以上のアルカリ性溶液と過酸化水素水、フッ化アンモニウム等を含むアルカリ性溶液、または5) それら1種類以上の酸性溶液とそれら1種類以上のアルカリ性溶液を含む混合液、または6) 水等の中性溶液である請求項1～7記載の半導体洗浄方法。

【請求項9】 上記液体が、有機溶剤である請求項1～8記載の半導体洗浄方法。

【請求項10】 上記液体に陽イオン界面活性剤、陰イオン界面活性剤、両性界面活性剤、有機溶剤等の添加剤を併用することにより行う請求項1～9記載の半導体洗浄方法。

【請求項11】 半導体基板に薄膜形成した模擬基板を組込んだ前記半導体基板を用いて半導体装置を製造することを特徴とする半導体装置製造方法。

【請求項12】 半導体基板に薄膜形成した模擬基板を組込んだ前記半導体基板の洗浄を行った後、前記模擬基板内への液体の浸入の観察を行うことにより半導体装置を製造することを特徴とする請求項11記載の半導体装置製造方法。

【請求項13】 前記薄膜は窒化膜であることを特徴とする請求項11～12記載の半導体装置製造方法。

【請求項14】 前記薄膜はSi₃N₄膜であることを特徴とする請求項11～13記載の半導体装置洗浄方法。

【請求項15】 前記薄膜はTiN膜であることを特徴とする請求項11～14記載の半導体装置製造方法。

【請求項16】 上記液体が水または薬液である請求項

11～15記載の半導体装置製造方法。

【請求項17】 上記液体が洗浄液または表面処理液等である請求項11～16記載の半導体装置製造方法。

【請求項18】 上記液体が、1) フッ化水素酸(フッ酸)、塩酸、硫酸、硝酸、酢酸、有機酸等のいずれか1種類以上を含む酸性溶液及び2) それら1種類以上の酸性溶液と過酸化水素水、フッ化アンモニウム等を含む酸性溶液、または3) アンモニア水、アミン等のいずれか1種類以上を含むアルカリ性溶液及び4) それら1種類以上のアルカリ性溶液と過酸化水素水、フッ化アンモニウム等を含むアルカリ性溶液、または5) それら1種類以上の酸性溶液とそれら1種類以上のアルカリ性溶液を含む混合液、または6) 水等の中性溶液である請求項1～18記載の半導体装置製造方法。

【請求項19】 上記液体が、有機溶剤である請求項1～19記載の半導体装置製造方法。

【請求項20】 上記液体に陽イオン界面活性剤、陰イオン界面活性剤、両性界面活性剤、有機溶剤等の添加剤を併用することにより行う請求項1～10記載の半導体装置製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は、電子材料、磁性材料、光学材料、セラミックスなど多くの製造プロセスにおいて、洗浄方法、表面処理方法(以下、洗浄方法、表面処理方法等を総称して洗浄方法と記す)及び装置製造方法に係る。特に、半導体装置の製造工程等において半導体装置の洗浄評価方法及び半導体装置製造方法に関する。

【0002】

【従来の技術】 半導体ウエハの従来の一般的な洗浄及び乾燥は、前記ウエハを希釈フッ酸やアンモニアと過酸化水素水との混合液等に所定時間浸漬させて洗浄した後に純水により前記ウエハを水洗し、続いてスピinn乾燥やIPA(イソプロピルアルコール)ペーパ乾燥等によりウエハを乾燥する手段で行われている。なお、アンモニアと過酸化水素水と超純水の混合液については、例えば、「シリコーンウェハー表面のクリーン化技術 p.242 服部 肇著 リアライズ社発行」に、スピinn乾燥やIPA

40 ペーパ乾燥等については、例えば、「シリコーンウェハ表面のクリーン化技術 p.285～286 服部 肇著 リアライズ社発行」に記載されている。

【0003】 近年、集積回路の高密度化を図るために、半導体ウエハの主要面に対してほぼ垂直状に微細な深い溝(幅1μm以下、深さ5μm以上)をドライエッティングなどにより加工し、この溝を利用して素子分離を形成したり、キャパシタを大容量化することが試みられている。

【0004】 上記洗浄後、上記溝内の洗浄度を観察するために半導体ウエハを割り、その断面を電子顕微鏡にて

観察し異物数等汚染の状態を観察したり、酸化膜の除去残りがないか観察を行った。また、製品歩留まりで間接的に評価を行った。

【0005】

【発明が解決しようとする課題】近年、集積回路の高密度化を図るために、半導体ウエハの主要面に対してほぼ垂直状に微細な深い溝（幅1μm以下、深さ5μm以上）をドライエッチングなどにより加工し、この溝を利用して素子分離を形成したり、キャパシタを大容量化することが試みられている。

【0006】凹凸の激しい複雑な表面形状を有する高密度半導体集積回路が形成されている半導体ウエハが薬液及び純水に単に浸漬させる洗浄手段では、その表面の深い溝状部分において薬液や純水が入れ替わり難く、洗浄効果が相当に低下する。そのため、最適な洗浄条件を見つけることが重要な課題となっている。

【0007】しかしながら、このような洗浄評価方法では、半導体を破壊するため次の工程の評価には使えない。また、製品歩留まりで評価を行うと洗浄起因の不良との区別、また前後の工程起因の不良の区別を行うことができないばかりか、製品歩留まりの結果ができるまでに時間を有するため迅速に対策を行ったり製品の状態を把握することができない。

【0008】また、従来ドライエッチングで形成した加工溝の内部表面に犠牲酸化膜を形成した半導体ウエハをウエットエッチングして除去することにより、犠牲酸化膜とともに加工溝内部表面に付着していた汚染物を除去することが行われている。ところが、この加工溝は上記したように溝の開口部が微細で深さも深いため、エッティング液やエッティング後の洗浄液が溝内部に十分浸入せず、満足できる溝内表面処理を行うことができなかつた。

【0009】乾燥時においても、クラウン形状等の深い溝状部やフィン形状等の羽状に代表されるスタック構造等の複雑な形状になっている部分に存在する水分は前述のスピンドル乾燥やIPA乾燥等の乾燥手段では十分に除去され難い。そして、洗浄及び乾燥が不十分であると、その後の薄膜形成等のプロセスにおいて膜質の劣化等の種々の不都合が生じて集積回路の信頼性に重大な悪影響を及ぼす。そのため迅速に、半導体を非破壊で直積的に評価ができる評価方法が不可欠である。

【0010】本発明は、このような従来の問題点に鑑みてなされたものであり、凹凸の激しい複雑な表面形状を有する半導体ウエハの洗浄及び乾燥を効果的に行うための最適条件を見出すことができる評価方法を提供することを技術的課題とするものである。

【0011】

【課題を解決するための手段】図1に本発明の基本概念図を示す。図(a)は、フッ酸等による溝中の酸化膜の削り具合の評価用半導体の模擬基板である。図(b)

は、洗浄液の溝内へ浸入具合を評価するための評価用半導体の模擬基板である。また、図1に示す模擬基板は、半導体のどこに組み込んでも良く、図2(a)に示すように、半導体メモリー5内部の周辺、図2(b)に示すように、半導体メモリー外部の周辺、図2(c)及び図2(d)に示すように、半導体メモリー内部の中心部などどこにあっても良い。また、半導体基板の全面にあってもいいことは言うまでもない。また、本発明は、上記課題を解決するため、図3(a)に示すように、洗浄槽

10 7内にはウエハキャリア8に収納された本発明の模擬基板を組み込んだ半導体ウエハ3が設置されている。そして、図3(b)に示すように洗浄を行い、本発明を抜き取り洗浄液の浸入具合を光学顕微鏡で観察を行ない、再度収納する。また、リネン後のも同様な評価を行う。ウエハ搬送装置10にて半導体ウエハを乾燥室11に搬送し、図3(c)に示すように、乾燥室で乾燥を行う。そして同様な評価を行う。

【0012】図3は本発明の一例であって、本発明の他の洗浄方法として図4(a)に示すように、本発明の模擬基板を組み込んだ半導体ウエハを洗浄室に設置し、次に図4(b)に示すように、洗浄液供給装置11から洗浄液9を供給して洗浄する。洗浄液を排液した後、図4(c)に示すように乾燥を行う方法もある。

【0013】また、図3及び図4は本発明の一例にすぎず、図示していないが、1枚1枚ウエハの洗浄を行う枚葉式洗浄装置にも適応できることは言うまでもない。

【0014】本発明により、洗浄後の洗浄液の浸入具合を直接、迅速に観察できることから洗浄の最適条件を見出すことができるため微細加工溝内部に付着した汚染物及び乾燥をより確実に除去ができ、さらに、「発明が解決しようとする課題」で述べたようにキャパシタ形成時の酸化膜除去の最適条件を見い出せ、製品の品質管理を確実にしかも容易となるため、半導体ウエハにおける品質や歩留まり向上を図ることが可能な半導体ウエハ洗浄評価方法及び半導体装置製造方法を提供することができる。

【0015】

【発明の実施の形態】(実施例1) 本発明の評価用模擬基板は次の手順で作成できる。

40 【0016】図5の示すプロセスフローに従い、図5(a)に示すようにSi基板2に熱酸化膜12を膜厚0.1~0.8μm成膜する。次に図5(b)に示すようにレジスト13を塗布してパターンを形成する。次に図5(c)に示すようにフッ酸により熱酸化膜除去を行い、次に図5(d)に示すようにドライエッチにてSiを0.05~3μmの深さでエッティングする。次に図5(e)に示すようにレジストの除去を行ない、次に図5(f)に示すように再度フッ酸にて熱酸化膜の除去を行う。次に、図5(g)に示すように酸化膜を成膜し、次に図5(h)に示すようにCMP(Chemical Mechanical Polishing)にて

酸化膜の平坦化を行う。次に図5 (i) に示すようにSi, N_xまたはTiNまたはSiNを膜厚0.05~0.5 μmで成膜を行う。これは図1 (a) に相当する。次に図5 (j) に示すようにフッ酸で中の酸化膜の除去を行うことにより空間の酸化膜がない評価サンプルの作成もできる。これは図1 (b) に相当する。

【0017】(実施例2) ウエハに設けた微細加工溝内部の洗浄効果を以下の手順で本発明により確認した。本発明の内Si基板14上にSi_xN_x膜を成膜し、溝の開口径0.5 μm、深さ2 μmの微細加工溝が形成されているものを使いた。

【0018】本発明で洗浄評価を行うために以下のことを行った。フッ酸のフッ化アンモニウムと超純水の混合溶液（ただし、溶液がpH=2となるように混合比を調製）中に1~20分間浸漬及び20分間水洗を行った。本発明を抜き取り光学顕微鏡で確認した。その後IPAペーパー乾燥装置で20分間乾燥して、同様に評価を行った。

【0019】本発明で評価した結果、酸化膜除去に15分以上の浸漬時間が必要であることを見出した。

【0020】(実施例3) 半導体製造工程の内、Alを使用した一般的な配線の形成工程（例えば特開平5-3255号公報に記載）に本発明を実施した。

【0021】図6に、半導体基板の断面の概略図を示す。図6 (a) における番号14はSi基板、16はSi基板14の表面に形成された酸化膜、17はAl電極、18~20は層間絶縁層であって、本実施例では、CVD（化学的気相蒸着）法により形成されたSiO₂膜18（膜厚2000 Å）、SOG膜19（膜厚600~1200 Å）、CVD法により形成されたSiO₂膜20（膜厚2000 Å）の3層構造からなるものとした。図6 (a) に示すように、フルオロカーボン系のCF₃、C₂F₆等を使用してドライエッチングによって層間絶縁膜層に孔の開口径が1.2 μmのスルーホール21を形成して、半導体基板上のAl電極を露出させる。次に、半導体基板を本発明により、80度の有機アルカリ液からなる処理液で1~20分間洗浄し、本発明を抜き取り洗浄液の浸入を確認し、15分以上でドライエッチングの際に生成した図6 (b) に示す副生成物22を除去が可能であることを確認した。次に、20分間水洗を行った。同様に確認した。

【0022】次に、スルーホール内部に水分が浸入しているので本発明にて同様に乾燥状態を確認した。この状態においてスルーホールより露出させたAl電極には、従来洗浄方法では生じた薄いAl₂O₃などの絶縁物の生成が見られなかった。次に、Arスパッタ処理などを行う。さらに、図6 (c) に示すように、Al配線14の上にAl配線層20を形成し、その上に絶縁膜を形成し、さらにその上に上記Alにつながる配線層を形成する場合には上述した同様の要領に従えばよい。

【0023】以上の工程で配線を形成した後に、各配線層の接続状況について調査した。その結果、配線層相互のコンタクト不良はほとんどなく、接触抵抗は従来の接

続に比較してきわめて小さいことが確かめられた。したがって、本発明により最適条件を見出したため不良率が5%減少し、半導体を高品質、高歩留まりで製造することができた。

【0024】(実施例4) 半導体製造工程の内、Cuを使用した一般的な配線の形成工程（例えば特開平6-326101号公報に記載）に本発明を実施した。実施例4を行ったときの半導体製品製造工程の断面図を図7に示す。

【0025】図7 (a) に示すように、拡散層等を有する（図示省略）半導体基板23上に、絶縁膜（例えばBPSG膜24（ボロン・リン・シリケートガラス）をCVD法により形成する。続いて、その上にスパッタ法により、Ti膜25を、そのうえにTiN膜26を形成し、さらにその上にCu膜27を堆積する。次いで、図7 (b) のように、前記構造の上にレジスト28を塗布し、周知のホトリソ（ホトリソグラフィ）・エッチング技術にてバーニングする。続いて、図7 (c) に示すように、そのレジストをマスクにして前記Cu膜、TiN膜、Ti膜をバーニングする。つまり配線となる部分以外をエッチング除去する。次いで、図7 (d) のように、前記レジストを除去した後、フッ酸と過酸化水素水と超純水の混合洗浄液（ただし、溶液がpH=3となるように混合比を調製）で洗浄を行った。そして洗浄と乾燥後本発明にて評価を行った。次に、図7 (e) に示すCVD法により前記工程で残ったTi膜、TiN膜、Cu膜の3層構造の配線部分をW膜29で被覆する。次いで、図7 (f) のように、全体をパッシベーション膜30（例えばTiN膜）をCVD法で形成し、配線部分を主体とした構造を完成させた。

【0026】本発明の半導体洗浄評価方法及び半導体製造方法により、不良率が5%減少し、半導体を高品質、高歩留まりで製造することができた。

【0027】

【発明の効果】本発明は、洗浄及び乾燥の最適条件を見出すことにより、凹凸の激しい複雑な表面形状を有する半導体ウエハに容易に洗浄液が浸入し洗浄及び乾燥を効果的に行うことのできる。また本発明は、半導体ウエハのみならず、薄膜デバイス、ディスク等の基板の洗浄評価に適用できる。

【図面の簡単な説明】

【図1】本発明の基本概念図である。

【図2】本発明の基本概念の一例を示す図である。

【図3】本発明を用いた洗浄方法の一例を示す図である。

【図4】本発明を用いた洗浄方法の一例を示す図である。

【図5】本発明の作成時の半導体基板の断面図を示す図である。

【図6】半導体製品製造工程の内、Alを使用した配線工程の本発明を実施したときの半導体製品の断面図を示す図である。

【図 7】半導体製品製造工程の内、Cuを使用した配線工程に本発明を実施したときの半導体製品の断面図を示す図である。

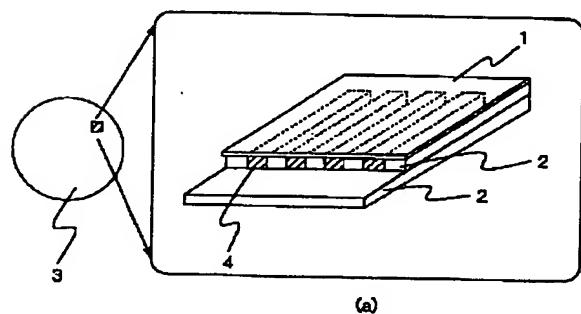
【符号の説明】

1…塗化膜、2…Si、3…半導体ウエハ、4…酸化膜、5…模擬基板、6…メモリー、7…洗浄槽、8…ウエハキャリア、9…洗浄液、10…搬送装置、11…乾燥室、12

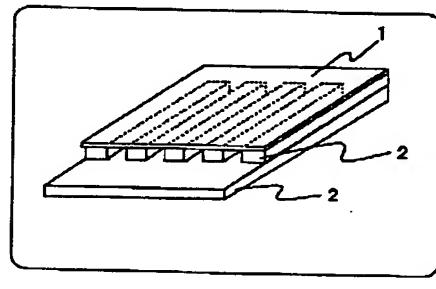
…熱酸化膜、13…レジスト、14…酸化膜、15… Si_3N_4 またはTiN、16…酸化膜、17…Al電極、18… SiO_2 膜、19…SOG膜、20…Al配線層、21…スルーホール、22…副生成物、23…半導体基板、24…BPSG膜、25…Ti膜、26…TiN膜、27…Cu膜、28…レジスト、29…W膜、30…パッシベーション膜。

【図 1】

図 1



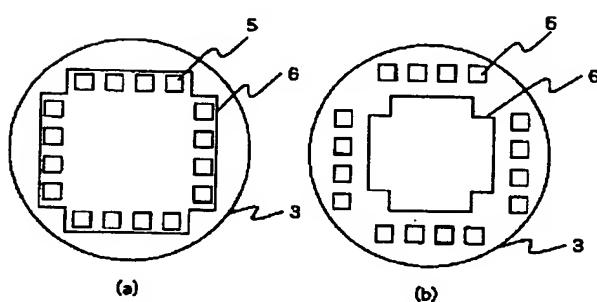
(a)



(b)

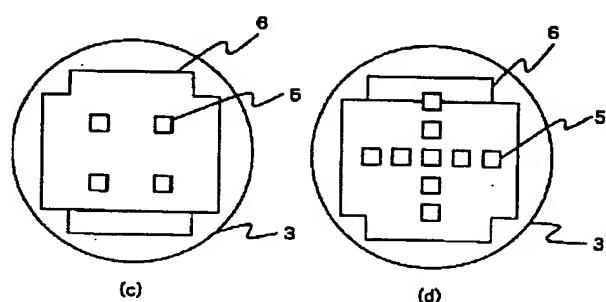
【図 2】

図 2



(a)

(b)

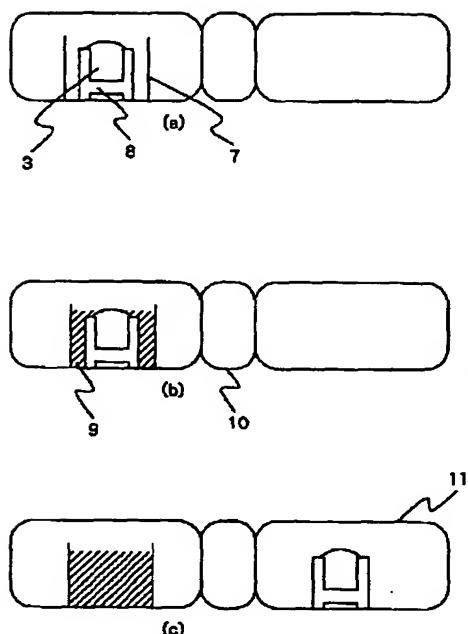


(c)

(d)

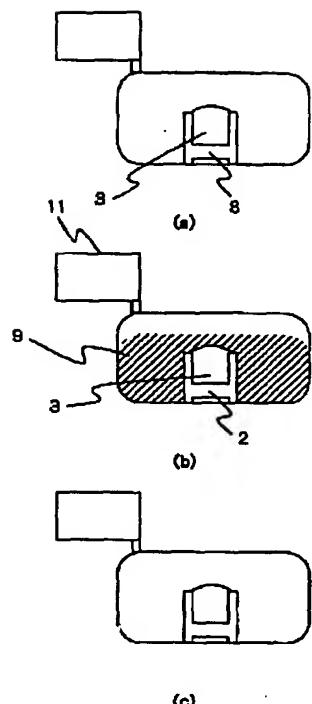
【図3】

図 3



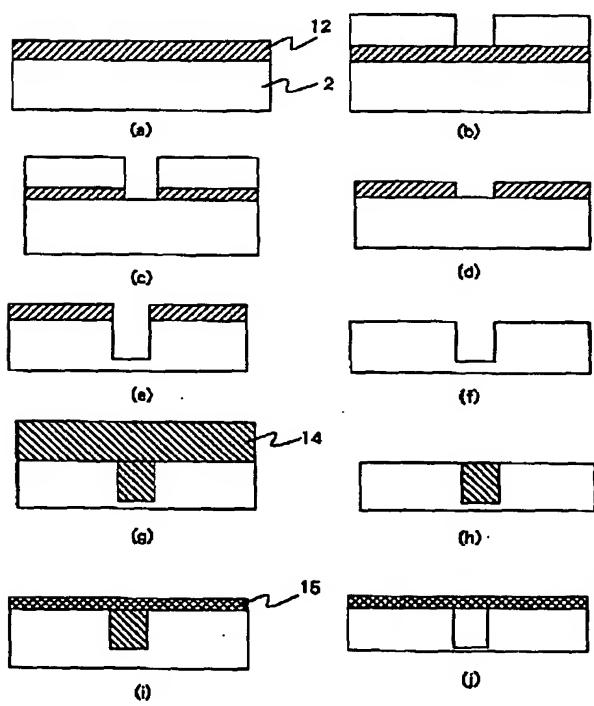
【図4】

図 4



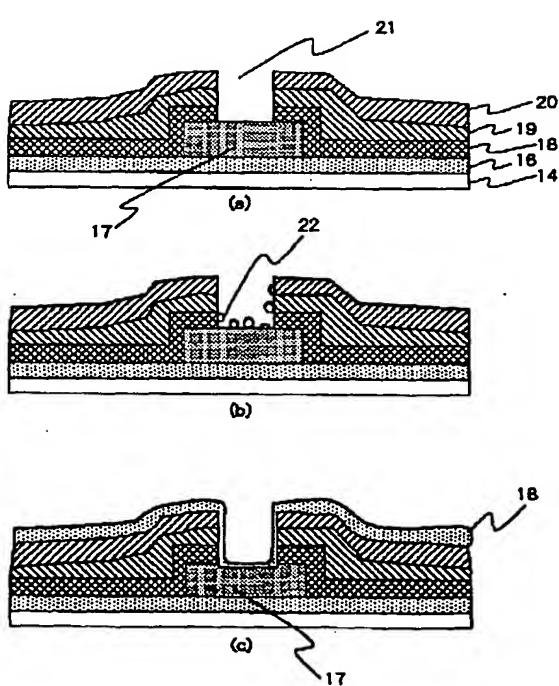
【図5】

図 5



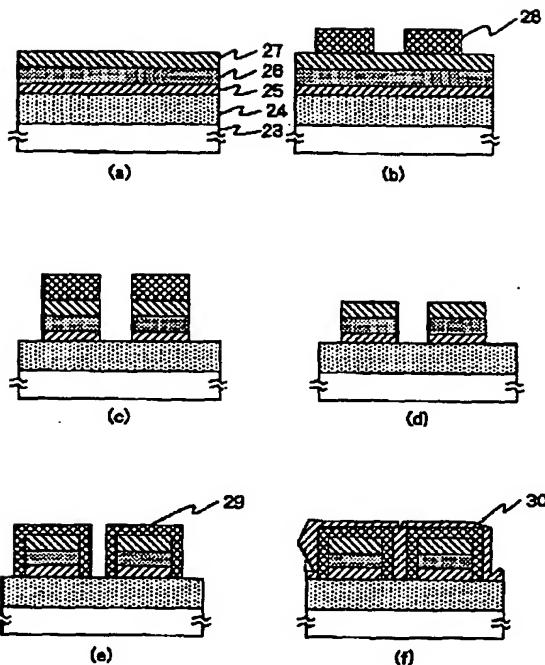
【図6】

図 6



【図7】

図 7



フロントページの続き

(51) Int. Cl.	識別記号	F I	マークコード (参考)
7/18		7/18	
7/26		7/26	
7/50		7/50	
17/08		17/08	
H01L 21/3065		H01L 21/304	647 Z
21/304	647		648 Z
	648	21/302	N

(72) 発明者 原 浩二
神奈川県横浜市戸塚区吉田町292番地 株式会社日立製作所生産技術研究所内
(72) 発明者 秋森 博子
東京都青梅市新町六丁目16番地の3 株式会社日立製作所デバイス開発センタ内
(72) 発明者 富岡 秀起
東京都青梅市新町六丁目16番地の3 株式会社日立製作所デバイス開発センタ内
(72) 発明者 伊藤 雅樹
東京都青梅市新町六丁目16番地の3 株式会社日立製作所デバイス開発センタ内

(72) 発明者 津金 賢
東京都青梅市新町六丁目16番地の3 株式会社日立製作所デバイス開発センタ内
F ターム(参考) 3B201 AA02 BB02 CC11 CC21 CD41
4H003 BA12 DA05 DA15 DA16 DB01
EA03 EA05 EB07 EB13 ED02
EE04 FA15
4M106 AA01 AA12 BA10 BA12 CA70
DH55 DH60
5F004 AA09 CB20 DB01 DB03 DB05
DB08 DB12 EA10 FA08